



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09070044 A**(43) Date of publication of application: **11.03.97**

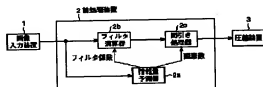
(51) Int. Cl.

H04N 7/30**H03M 7/40**(21) Application number: **07223448**(22) Date of filing: **31.08.95**(71) Applicant: **SONY CORP**(72) Inventor: **TSUJII SATOSHI
YAMADA MAKOTO****(54) IMAGE SIGNAL PROCESSOR AND METHOD THEREFOR****(57) Abstract:**

PROBLEM TO BE SOLVED: To suppress deterioration in the image quality in the case of compression and expansion at a low coding rate.

SOLUTION: Prior to image compression processing by the MPEG system in a compressor 3, the image is subjected to pre-pressing by a pre-processing unit 2. An information amount prediction device 2a calculates the activity representing the complicated image received from an image input device 1 and sets a filter coefficient and number of picture elements of an output image so as to reduce the information amount of a pattern subject to compression processing depending on the activity, and the result is fed respectively to a filter arithmetic unit 2b and an interleave processing unit 2c. The filter arithmetic unit 2b uses the filter coefficient to conduct filter processing and the interleave processing unit 2c converts the received image into an image with this picture element number. Thus, even when a coding rate is not high, the deterioration in the image quality after compression and expansion of the image is suppressed.

COPYRIGHT: (C)1997,JPO



(51) Int. Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 4 N 7/30			H 0 4 N 7/133	Z
H 0 3 M 7/40		9382-5K	H 0 3 M 7/40	

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号 特願平7-223448

(22) 出願日 平成7年(1995)8月31日

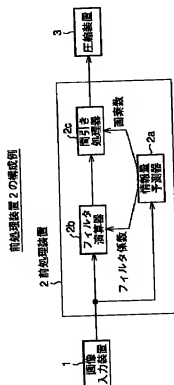
- (71) 出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
- (72) 発明者 辻井 剛
東京都品川区北品川6丁目7番35号 ソニー株式会社内
- (72) 発明者 山田 誠
東京都品川区北品川6丁目7番35号 ソニー株式会社内
- (74) 代理人 弁理士 稲本 義雄

(54) 【発明の名称】 画像信号処理装置および方法

(57) 【要約】

【課題】 低符号化レートで圧縮および伸張する場合に、画質の劣化を抑制する。

【解決手段】 圧縮装置3でMPEG方式で画像圧縮処理する前に、前処理装置2で前処理する。情報量予測器2aは、画像入力装置1から入力された画像の複雑さを表すアクティビティを算出し、このアクティビティに応じて、圧縮処理する画面の情報量が少なくなるように、フィルタ係数および出力画像の画素数を設定し、フィルタ演算器2bおよび間引き処理器2cにそれぞれ供給する。フィルタ演算器2bは、このフィルタ係数でフィルタ処理し、間引き処理器2cは、入力された画像をこの画素数に変換する。このようにすることで、符号化レートが高くない場合でも、画像を圧縮および伸張した後の画質の劣化を抑制することができる。



【特許請求の範囲】

【請求項1】 デジタル画像信号の1画面中におけるアクティビティを算出する算出手段と、

前記アクティビティに応じて、前記デジタル画像信号を圧縮するときの情報量が少なくなるように、前記デジタル画像信号を変換する変換手段とを備えることを特徴とする画像信号処理装置。

【請求項2】 前記変換手段は、前記アクティビティに応じて前記デジタル画像信号の周波数特性を制御することを特徴とする請求項1に記載の画像信号処理装置。

【請求項3】 前記変換手段は、前記アクティビティに応じて前記デジタル画像信号の1画面あたりの画素数を制御することを特徴とする請求項1に記載の画像信号処理装置。

【請求項4】 デジタル画像信号の1画面中におけるアクティビティを算出し、前記アクティビティに応じて、前記デジタル画像信号を圧縮するときの情報量が少なくなるように、前記デジタル画像信号を変換することを特徴とする画像信号処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、画像信号処理装置および方法に関し、特に、画像中の画素の値の高周波数成分に対応して、圧縮するときの情報量が少なくなるように、画像を変換する画像信号処理装置および方法に関する。

【0002】

【従来の技術】 所定の記録媒体にデジタル画像を記録する場合、MPEGに代表される圧縮処理を利用して、記録する画像のデータ量を減少させるようになされている。この圧縮処理においては、処理後のデータ量を変化させることができるが、圧縮後のデータ量が少なすぎると、ブロックノイズ、モスキートノイズなどのデジタルノイズが目立ち、伸張後の画質が劣化することになる。従って、伸張処理後の画質を劣化させないためには、圧縮後にある程度のデータ量が必要になる。

【0003】 従来の技術においては、実際の圧縮処理を行う前に、試験的に画像データに対して処理（1パス目の処理）を行い、伝送路および記録媒体の容量などを考慮した上で、データ量に対応した符号化レートを決定制し、その後、実際に圧縮処理（2パス目の処理）を行うこと（可変レート符号化）によって、画像を圧縮および伸張した後の画質の劣化防止を実現するようにしている。

【0004】

【発明が解決しようとする課題】 しかしながら、圧縮処理の1パスだけで画像を符号化し、符号化後のデータを伝送および記録する場合、従来の技術は、符号化レートを変動させる（高くする）ことができ、かつ伝送路およ

び記録媒体の容量も充分大きくすることができること（業務用や再生専用の装置の場合）を前提としている。

【0005】 使用者が記録と再生の両方を行う装置のように、符号化レートを変動させることが許されず、かつ低符号化レートで符号化を行う場合、常にデータ量を少なくすれば符号化は可能であるが、そのようにすると、伸張後の画質が劣化してしまう。従って、従来の技術は、伸張後の画質を劣化させずに、リアルタイムで（圧縮処理の1パスだけで）符号化を行うことが困難であるという課題を有している。

【0006】 本発明は、このような状況に鑑みてなされたもので、符号化レートが低い場合においても、画像を圧縮および伸張した後の画質の劣化を抑制するものである。

【0007】

【課題を解決するための手段】 請求項1に記載の画像信号処理装置1は、デジタル画像信号の1画面中におけるアクティビティを算出する算出手段と、このアクティビティに応じて、デジタル画像信号を圧縮するときの情報量が少なくなるように、そのデジタル画像信号を変換する変換手段とを備えることを特徴とする。

【0008】 請求項4に記載の画像信号処理方法は、デジタル画像信号の1画面中におけるアクティビティを算出し、このアクティビティに応じて、デジタル画像信号を圧縮するときの情報量が少なくなるように、そのデジタル画像信号を変換することを特徴とする。

【0009】 請求項1に記載の画像信号処理装置においては、算出手段は、デジタル画像信号の1画面中におけるアクティビティを算出し、変換手段は、このアクティビティに応じて、デジタル画像信号を圧縮するときの情報量が少なくなるように、そのデジタル画像信号を変換する。

【0010】 請求項4に記載の画像信号処理方法においては、デジタル画像信号の1画面中におけるアクティビティを算出し、このアクティビティに応じて、デジタル画像信号を圧縮するときの情報量が少なくなるように、そのデジタル画像信号を変換する。

【0011】

【発明の実施の形態】 図1は、本発明の画像信号処理装置の一実施例の構成例を表している。この構成例は、前処理装置2を備える。前処理装置2は、画像入力装置1から入力される画像に応じて、アクティビティを算出し、その値に基づいて、フィルタ処理および開引き処理を行うようになされている。アクティビティは、画像の複雑さを示す指標であり、1画面中における画像の空間傾斜、周波数成分などで評価することができる。

【0012】 圧縮装置3は、離散コサイン変換器（DCT器）3a、量子化器3b、および可変長符号化器3cを備える。前処理装置2が出力する画像データは、DCT器3aに入力される。DCT器3aは、離散コサイン

(3)

4

変換を用いて、この画像データを直交変換するようになされている。直交変換された画像データは、量子化器3bによって量子化された後に、可変長符号化器3cによって、符号化される。この符号化された（圧縮された）画像データは、書き込み装置4に出力される。書き込み装置4は、この画像データを記録媒体5に書き込むようになされている。

【0013】読取り装置6は、記録媒体5に書き込まれた画像データを読み取り、その画像データを伸張装置7に出力するようになされている。

【0014】伸張装置7は、可変長復号化器7a、逆量子化器7b、および逆DCT器7cを備える。可変長復号化器7aは、読取り装置6から供給される符号化された画像データを復号化するようになされている。復号化された画像データは、逆量子化器7bによって逆量子化され、逆DCT器7cによって、逆離散コサイン変換された後、後処理装置8に出力される。

【0015】後処理装置8は、伸張装置7から供給された画像データの画素数（解像度）を、前処理装置2に対応して変換し、画像表示装置9に出力する。画像表示装置9は、この画像をアナログ化した後、動画として表示するようになされている。

【0016】図2は、前処理装置2の構成例を表している。この構成例の前処理装置2は、情報量子化器2a（算出手段）、フィルタ演算器2b（変換手段）、および間引き処理器2c（変換手段）を備える。情報量子化器2aは、画像入力装置1から入力された画像より、画像の複雑さを表すアクティビティを算出し、このアクティビティからフィルタ係数を設定する。そして、情報量子化器2aは、このフィルタ係数をフィルタ演算器2bに供給することで、フィルタ演算器2bのカットオフ周波数を設定する。さらに、情報量子化器2aは、このアクティビティから出力画像の画素数を設定し、この画素数を間引き処理器2cに供給するようになされている。

【0017】フィルタ演算器2bは、入力された画像を、情報量子化器2aから供給されるフィルタ係数でフィルタ処理して、画像の高域の周波数成分をカットするようになされている。

【0018】間引き処理器2cは、情報量子化器2aが供給する画素数に応じて、フィルタ演算器2bから出力された画像の画素数を変換するようになされている。

【0019】図3は、情報量子化器2aにおいて、アクティビティを算出するアクティビティ算出回路の構成例を表している。この構成例において、順番に入力される画素データは、遅延素子21で1クロック分保持され、次の画素データが入力されると、遅延素子21の画素データは、加算器23に出力される。加算器23は、保持されていた画素データと、新たに入力された画素データとの差を算出することで、図4に示すように水平方向に隣合う画素の値の差を算出し、算出回路22は、こ

の差の絶対値を算出する。さらに、算出回路22は、1フレーム中のすべての画素データについて、この絶対値を算出し、それらの値の総和をアクティビティとして出力するようになされている。

【0020】従って、この構成例においては、1フレームの画像中で画素の値が頻繁に変化するほど、アクティビティの値は大きくなる。この構成例によって算出されるアクティビティAは、次式で表すことができる。なお、 $d(i, j)$ は、第jラインの第i番目の画素の値とし、nは1フレームにおけるライン数とし、mは、1ライン中の画素数とする。

【0021】

【数1】

$$A = \sum_{i=1}^n \sum_{j=2}^m |d(i,j) - d(i-1,j)|$$

【0022】図5は、フィルタ演算器2bの構成例を表している。この構成例は、8個の遅延素子81-1乃至81-8を有する、9タップの1次元FIRデジタルフィルタを備える。入力された画像データは、最初に遅延素子81-1に1クロック分保持され、次の画像データが入力されると、遅延素子81-1の画像データは、遅延素子81-2に出力される。同様に、遅延素子81-2乃至81-7に保持されている画像データは、後段の遅延素子81-3乃至81-8にそれぞれ出力されるようになされている。

【0023】そして、新たに入力される画像データに、乗算器82-1でフィルタ係数c0を乗算し、各遅延素子81-1乃至81-8が保持する画像データに、乗算器82-2乃至82-9でフィルタ係数c1乃至c8をそれぞれ乗算して、これらの合計9個の画像データを加算器83に出力する。加算器83は、乗算器82-1乃至82-9でフィルタ係数が乗算された画像データの総和を算出し、その値を出力する。これらの乗算器82-1乃至82-9は、そのフィルタ係数を、情報量子化器2aから供給されるようになされている。

【0024】図6は、フィルタ演算器2bの周波数特性の一例を表している。乗算器82-1乃至82-9のフィルタ係数c0乃至c8として、フィルタ係数セットC_nが情報量子化器2aから供給された場合、このフィルタ係数セットC_nに従って、図6に示すような、フィルタ演算器2bの周波数特性が設定される。

【0025】同様に、図7乃至図9は、フィルタ演算器2bの周波数特性の他の例を表している。これらの例においても、フィルタ係数セットC_n乃至C_mが情報量子化器2aから供給された場合、これらのフィルタ係数セットC_n乃至C_mに従って、図7乃至図9に示すような、フィルタ演算器2bの周波数特性がそれぞれ設定される。

【0026】これらのフィルタ係数セットC_n乃至C_m

5

によって設定されるカットオフ周波数は、 C_n を用いた場合が最も高くなり、以下、 C_n 、 C_n 、 C_n の順番で、低いカットオフ周波数が設定される。

【0027】図10は、間引き処理器2cが変換する画素数を表している。すべての各画素が、輝度信号Y、色差信号C₁、および色差信号C₂を有する画像データは、4:4:4と称される。この4:4:4の画像データのうち、色差信号C₁およびC₂を横方向に半分に間引いたものは4:2:2(図10(a))と称され、さらに、この色差信号C₁およびC₂を垂直方向にも半分に間引くと、4画素で色差信号C₁およびC₂を1つずつ有する4:2:0(図10(b))の画像データになる。

【0028】本発明の実施例においては、この4:2:0の画像データを基準の画像データとしている。さらに、DCT器3aにおいて、画像データは16×16画素のマクロブロック単位で処理されるので、前処理装置2は、間引き処理後においても、各辺に必要な画素数が16の倍数となる画像データを出力する必要がある。そのため、この実施例においては、704×480(図10(b))を基準の画素数としている。

【0029】間引き処理器2cは、情報量予測器2aから供給される画素数に応じて、輝度信号および色差信号の両方を間引くことで、解像度を変更する。ただし、情報量予測器2aから供給される画素数と、入力される画像の画素数とが一致する場合、間引き処理器2cは、入力された画像をそのまま出力するようになっている。

【0030】例えば、4:2:0の画像データは、704×480画素の輝度信号と、それぞれ352×240画素の2つの色差信号C₁およびC₂を有するが、これを水平方向に4分の3に間引いたものは、輝度信号Yが528×480画素となり、色差信号C₁およびC₂が、それぞれ264×240画素となる(図10(c))。同様に、水平方向に約3分の2に間引いたものは、輝度信号Yが480×480画素となり、色差信号C₁およびC₂が、それぞれ240×240画素となる(図10(d))。また、水平方向に2分の1に間引いたものは、輝度信号Yが352×480画素となり、色差信号C₁およびC₂が、それぞれ176×240画素となる(図10(e))。

【0031】基準の4:2:0の画像データ(704×480画素)は、未圧縮の状態で、毎秒約122メガビット(= (704×480+352×240×2)×8ビット/(1/30秒))の情報量を有しているが、例えば、4分の3の間引き処理を行った後の画像データ(図10(c))は、毎秒約91メガビット(= (528×480+264×240×2)×8ビット/(1/30秒))の情報量を有することになる。同様に、3分の2の間引き処理を行った後の画像データ(図10(d))は、毎秒約83メガビット(= (480×480+240×240×2)×8ビット/(1/30

6

秒))の情報量を有し、2分の1の間引き処理を行った後の画像データ(図10(e))は、毎秒約61メガビット(= (352×480+176×240×2)×8ビット/(1/30秒))の情報量を有することになる。

【0032】従って、情報量予測器2aによって圧縮後の情報量が多いと予測される画面は、以上のようなフィルタ処理や間引き処理を施し、圧縮処理前の画像データのデータ量を減少させる。

10 【0033】次に、図11のフローチャートを参照し、上記の前処理装置2の実施例の動作について説明する。

【0034】最初にステップS1において、情報量予測器2aは、入力された画像データのアクティビティAを算出する。そして、ステップS2において、アクティビティAと第1の基準値V_nと比較し、アクティビティAが所定の第1の基準値V_nより小さい場合、すなわち、画像が複雑でない場合、ステップS5に進み、情報量予測器2aは、フィルタ演算器2bに、最も高いカットオフ周波数を設定するフィルタ係数セットC_nを供給する。フィルタ演算器2bは、このフィルタ係数セットC_nに対応して、例えば図6に示す周波数特性で、画像データに対してフィルタ処理を行い(高域成分をカットし)、この画像データの間引き処理器2cに出力する。さらに、ステップS9に進み、間引き処理器2cは、704×480画素の画像データを、圧縮装置3に出力する。すなわち、この場合、間引き処理器2cは、入力された画像データをそのまま(間引かず)に出力する。

【0035】ステップS2において、アクティビティAが所定の第1の基準値V_nより大きいと判定された場合、ステップS3に進み、所定の第2の基準値V_nとアクティビティAを比較する。アクティビティAが基準値V_nより小さい場合、すなわち、画像が若干複雑である場合、ステップS6に進み、情報量予測器2aは、フィルタ演算器2bにフィルタ係数セットC_nを供給する。フィルタ演算器2bは、このフィルタ係数セットC_nに対応して、例えば図7に示す周波数特性で(図6に示す場合より低いカットオフ周波数で)フィルタ処理を行い、この画像データの間引き処理器2cに出力する。さらに、ステップS9に進み、間引き処理器2cは、704×480画素の画像データを、圧縮装置3に出力する。すなわち、この場合も、間引き処理器2cは、入力された画像データをそのまま出力する。

【0036】ステップS3において、アクティビティAが所定の第2の基準値V_nより大きいと判定された場合、ステップS4に進み、所定の第3の基準値V_nとアクティビティAを比較する。アクティビティAが基準値V_nより小さい場合、すなわち、画像が複雑である場合、ステップS7に進み、情報量予測器2aは、フィルタ演算器2bにフィルタ係数セットC_nを供給する。フ

50

7
フィルタ演算器 2 b は、このフィルタ係数セット C_nに対応して、例えば図 8 に示す周波数特性で (図 7 に示す場合より低いカットオフ周波数で) フィルタ処理を行い、この画像データを間引き処理器 2 c に出力する。さらに、ステップ S 10 に進み、間引き処理器 2 c は、間引き処理として 2 分の 1 変換 (図 10 (e) に示す変換) を行った後、352×480 画素の画像データを、圧縮装置 3 に出力する。

【0037】ステップ S 4 において、アクティビティ A が基準値 V_n より大きいと判定された場合、すなわち、画像が非常に複雑である場合、ステップ S 8 に進み、情報量予測器 2 a は、フィルタ演算器 2 b にフィルタ係数セット C_n を供給する。フィルタ演算器 2 b は、このフィルタ係数セット C_n に対応して、例えば図 9 に示す周波数特性で (図 8 に示す場合より低いカットオフ周波数で) フィルタ処理を行い、この画像データを間引き処理器 2 c に出力する。さらに、ステップ S 10 に進み、間引き処理器 2 c は、間引き処理として 2 分の 1 変換 (図 10 (e) に示す変換) を行った後、352×480 画素の画像データを、圧縮装置 3 に出力する。

【0038】以上のようにして、画像の複雑さ (アクティビティ) を求め、それに対応して、周波数特性と画素数を制御するようにしたので、圧縮装置 3 (従って伸張装置 7) の性能の範囲内で、最も画質の劣化の少ない画像を伝送することができる。

【0039】なお、以上の実施例においては、図 3 に示すようなアクティビティ算出回路により、図 4 に示すように、水平方向に隣接する画素の値の差からアクティビティを求めるようにしたが、図 3 における算出回路 2 を画素データが入力される時間間隔の 2 倍の周期で動作させることで、加算器 2 3 が出力する画素データの差を、図 12 (a) に示すように 1 クロックおきに、絶対値をとって総和を算出し、この総和をアクティビティとして出力することもできる。この場合のアクティビティ A は、次式で表すことができる。

【0040】

【数 2】

$$A = \sum_{j=1}^n \sum_{i=1}^{m/2} |d(2i,j) - d(2i-1,j)|$$

【0041】図 13 は、情報予測器 2 a が内蔵するアクティビティ算出回路の他の構成例を表している。この構成例では、順番に入力される画素データは、遅延素子 2 1-1 で 1 クロック分保持され、次の画素データが入力されるたびに、遅延素子 2 1-1 の画素データは、後段の遅延素子 2 1-2 に出力される。そして、さらに次の画素データが入力されたとき、遅延素子 2 1-2 に保持されている画素データは、加算器 2 3 に出力される。

【0042】加算器 2 3 は、遅延素子 2 1-2 に保持されていた画素データと、新たに入力された画素データと

の差を算出することで、図 12 (b) に示すように、水平方向に 1 つおきの画素の値の差を算出し、算出回路 2 2 は、この差の絶対値を算出する。算出回路 2 2 は、1 フレーム中のすべての画素データについて、この絶対値を算出し、それらの値の総和をアクティビティとして出力するようになされている。

【0043】この構成例によって算出されるアクティビティ A は、次式で表すことができる。

【0044】

【数 3】

$$A = \sum_{j=1}^n \sum_{i=3}^m |d(i,j) - d(i-2,j)|$$

【0045】また、図 14 に示される他のアクティビティ算出回路の構成例を用いる場合、画像入力装置 1 から供給される画素データは、1 クロックごとに、遅延素子 2 1-2 2 1 に入力され、次の画素データが入力されるたびに、遅延素子 2 1-2 2 1、2 1-2 2 2 の画素データは、後段の遅延素子 2 1-2 2 3、2 1-2 2 3 にそれぞれ出力される。このアクティビティ算出回路は、図 12 (c) に示すように、保持されている 3 個の画素データおよび新たに入力される画素データの合計 4 個の連続する画素データを使用して、画素の値の変化を、1 クロックごとに算出するようになされている。

【0046】3 個の遅延素子 2 1-2 2 1 乃至 2 1-2 2 3 に画素データが保持されてから、加算器 2 3-1 は、新たに入力される画素データと遅延素子 2 1-2 2 1 に保持されている画素データの和を算出し、同様に、加算器 2 3-2 は、遅延素子 2 1-2 2 1 に保持されている画素データと遅延素子 2 1-2 2 3 に保持されている画素データの和を算出する。次に、加算器 2 3-3 は、2 個の加算器 2 3-1、2 3-2 で算出された値の差を算出し、この値を算出回路 2 2 に出力する。算出回路 2 2 は、この差の絶対値を算出する。そして、算出回路 2 2 は、1 フレーム中のすべての画素データについて、この絶対値を算出し、それらの値の総和をアクティビティとして出力するようになされている。

【0047】この構成例によって算出されるアクティビティ A は、次式で表すことができる。

【0048】

【数 4】

$$A = \sum_{j=1}^n \sum_{i=4}^m |d(i,j) + d(i-1,j) - d(i-2,j) + d(i-3,j)|$$

【0049】図 15 に示されるさらに他のアクティビティ算出回路の構成例を用いる場合、画素データは、1 クロックごとに、遅延素子 2 1-1 (41-N+1) に入力され、次の画素データが入力されるたびに、遅延素子 2 1-1 (41-N+1) の画素データは、後段の遅延素子 2 1-1 (41-N+2) に出力される。同様に、遅延素子

9
 21 - (41 - N + 2) 乃至 21 - (41 + N - 1) の画素データは、後段の遅延素子 21 - (41 - N + 3) 乃至 21 - (41 + N) に出力される。

【0050】(2N) 個の遅延素子 21 - (41 - N + 1) 乃至 21 - (41 + N) に画素データが保持されてから、保持された画素データおよび新たに入力される画素データの合計 (2N + 1) 個の連続した画素データが、1クロックごとに、算出回路 22-1 に出力される。算出回路 22-1 は、これらの (2N + 1) 個の画素データの平均値を算出する。次に、算出回路 22-1 は、図 12 (d) に示すように、(2N + 1) 個の画素データのうちの中心となる画素データ (すなわち、遅延素子 21 - 41 が保持する画素データ) と平均値との差の絶対値を算出し、1フレーム中のすべての画素データについて、この絶対値を算出し、その絶対値の総和をアクティビティとして出力するようになっている。

【0051】この構成例によって算出されるアクティビティ A は、次式で表すことができる。

【0052】

【数5】

$$A = \sum_{j=1}^n \sum_{i=n+1}^{m-N} |d(i, j) - \langle d(i, j) \rangle|$$

【0053】この式における $\langle d(i, j) \rangle$ は、(2N + 1) 個の画素の値の平均値を表し、次式で表すことができる。

【0054】

【数6】

$$\langle d(i, j) \rangle = \sum_{p=-N}^N \frac{d(i+p, j)}{2N+1}$$

【0055】なお、これらの実施例におけるアクティビティは、水平方向に並んでいる画素の値の差から算出したが、垂直方向に並んでいる画素の値の差から算出することもできる。

【0056】以上の構成例においては、フィルタ演算器 2b として 1 次元のデジタルフィルタを用いているが、2 次元のデジタルフィルタを用いることもできる。また、上記実施例では、フレームを単位としてデータ进行处理するようにしたが、フィールドを単位として処理する場合においても本発明は適用することができる。要は、画面単位で処理すればよい。

【0057】

【発明の効果】以上のように、請求項 1 に記載の画像信号処理装置および請求項 4 に記載の画像信号処理方法によれば、デジタル画像信号の 1 画面中の画像の複雑さを表すアクティビティを算出し、このアクティビティに応じて、圧縮処理前の情報量が少なくなるようにデジタル画像信号を変換するようにしたので、圧縮の符号化レートをそれほど高い値に設定することができない場合にお

いても、圧縮時に発生するモスキートノイズおよびブロックノイズが目立たないようにし、画質の劣化を抑制することができる。

【図面の簡単な説明】

【図 1】本発明の画像信号処理装置の一実施例の構成例を示すブロック図である。

【図 2】図 1 の実施例における前処理装置 2 の構成例を示すブロック図である。

【図 3】図 2 の実施例における情報量予測器 2a が内蔵するアクティビティ算出回路の実施例を示すブロック図である。

【図 4】図 3 の実施例におけるアクティビティの演算の原理を説明する図である。

【図 5】図 2 の実施例におけるフィルタ演算器 2b の構成例を示すブロック図である。

【図 6】図 5 の実施例の周波数特性の一例を示す図である。

【図 7】図 5 の実施例の周波数特性の一例を示す図である。

【図 8】図 5 の実施例の周波数特性の一例を示す図である。

【図 9】図 5 の実施例の周波数特性の一例を示す図である。

【図 10】図 2 の実施例における間引き処理器 2c の変換解像度を説明する図である。

【図 11】図 2 の実施例の処理を説明するフローチャートである。

【図 12】アクティビティの演算の原理を説明する図である。

【図 13】図 2 の実施例における情報量予測器 2a が内蔵するアクティビティ算出回路の他の構成例を示すブロック図である。

【図 14】図 2 の実施例における情報量予測器 2a が内蔵するアクティビティ算出回路のさらに他の構成例を示すブロック図である。

【図 15】図 2 の実施例における情報量予測器 2a が内蔵するアクティビティ算出回路の他の構成例を示すブロック図である。

【符号の説明】

- 1 画像入力装置
- 2 前処理装置
- 2a 情報量予測器
- 2b フィルタ演算器
- 2c 間引き処理器
- 3 圧縮装置
- 3a DCT 器
- 3b 量子化器
- 3c 可変長符号化器
- 4 書込み装置
- 5 記録媒体

- 6 読取り装置
 7 伸張装置
 7a 可変長復号化器
 7b 逆量子化器
 7c 逆DCT器
 8 後処理器
 9 画像表示装置
 21, 21-1, 21-2, 21-21乃至21-23 *

* 遅延素子

21 - (41 - N + 1) 乃至 21 - (41 + N) 遅延

素子

22, 22-1 算出回路

23, 23-1乃至23-3 加算器

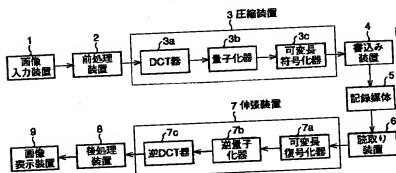
81-1乃至81-8 遅延素子

82-1乃至82-9 乗算器

83 加算器

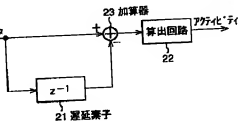
【図1】

画像信号処理装置の構成例



【図3】

アクティビティ算出回路の構成例



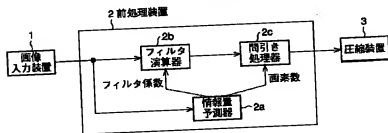
【図4】

画素値の比較の例



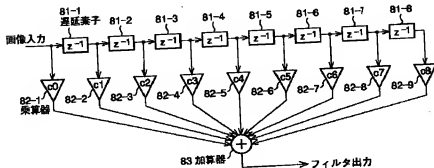
【図2】

前処理装置2の構成例

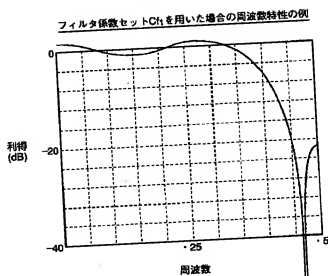


【図5】

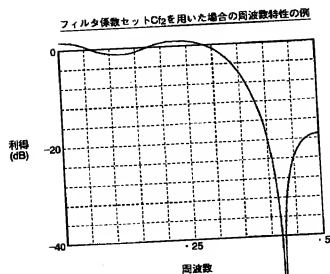
フィルタ演算器2bの構成例



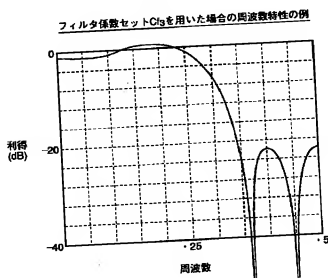
【図6】



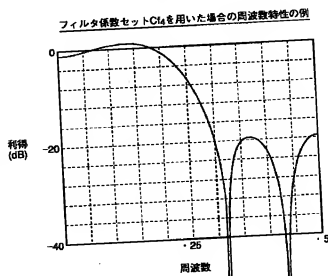
【図7】



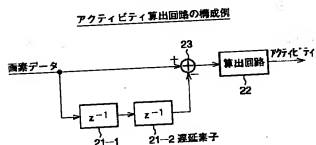
【図8】



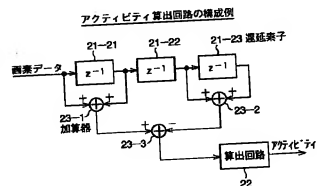
【図9】



【図13】

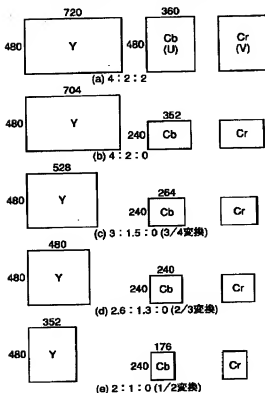


【図14】



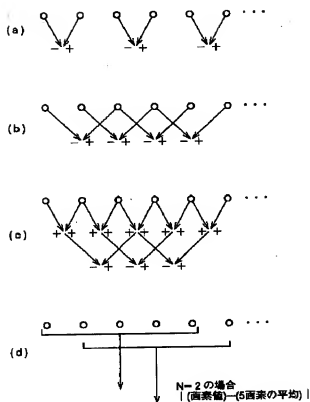
【図10】

間引き処理器2cが変換する解像度の例



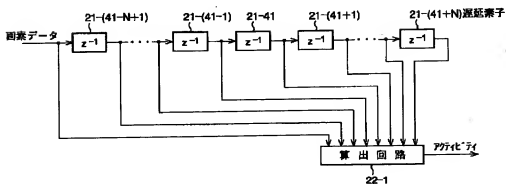
【図12】

画素値の比較の例



【図15】

アクティビティ算出回路の構成例



【図 11】

前処理装置 2 の処理例

